

電子構裝結構分析

徐祥禎

(義守大學機械與自動化工程學系副教授)

前言

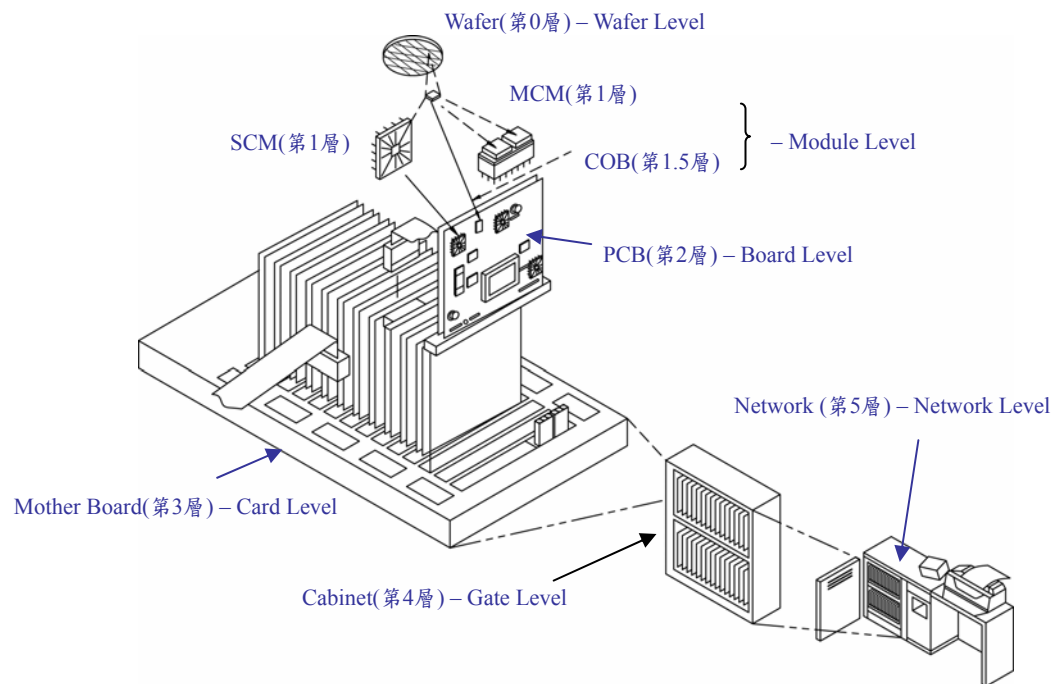
電子構裝(Electronic Packaging),主要是利用固定接著技術,將積體電路(Integrated Circuit, IC)晶片固定在承載襯墊(Die Pad)上,並利用細微連接技術,引出電力訊號,並以絕緣材料予以密封,建構成立體結構。這種技術在上一世紀稱為 IC 封裝,由於電子產品種類越來越多且技術範圍涵蓋物理、化學、材料、機械、電機等學門,廣義上說,將電子元件與晶片承載襯墊固定連接,裝配成完整的系統或設備,以發揮 IC 原始設計功能的技術,即可稱為電子構裝。從定義得知,各電子元件間透過這些細微連接線來進行訊號傳遞、電力輸送;由構裝材料之導熱功能,將電子於線路間傳遞產生之熱量去除,以避免 IC 晶片因過熱而毀損;而結構體提供了足夠的機械強度,適當的保護並防止 IC 晶片受到污染。因此,電子構裝的功能,包含了以下幾項(1)電源供應(2)信號傳輸(3)熱量排除(4)保護支撐。

以微電子的製程而言,電子構裝屬於產品後段的製程技術,因此構裝常被認為只是第二線,事實上,電子產品朝向輕薄短小趨勢發展,IC 晶片縮小但 IO 數增加、元件密度集中使功率提高,所產生熱源如何排除問題,與來自構裝製程所產生的殘餘應力,以及晶片在運作時各種材料間熱膨脹係數差異所產生的熱應力,此外,還有高分子材料因吸濕所引發的濕氣膨脹應力。各種因溫度、溼氣引發的應力作用,導致構裝材料間的脫層、崩裂,或是晶片的破損,使得 IC 運作失效,造成可靠度問題。因此,電子構裝技術開發的重要性,其實並不亞於前段的 IC 製程技術或其它微電子製程技術。世界各主要電子工業國家,相當重視電子構裝技術的研究,以求得微電子產品功能與層次(Level)提升技術領先的地位。

一、電子構裝技術層次與分類

一般而言,電子構裝技術因製程技術不同而區分成不同的層次,如圖一所示。第 0 層次的構裝,是指直接在 IC 晶片上的連線製程,稱為 Wafer Level;第 1 層次的構裝,是將 IC 晶片黏接於一構裝體中並完成電路連線與密封保護,稱為 Module Level;第 2 層次的構裝,是指將第一層次構裝完成的數個元件組合在 PCB 電路板上,稱為 Board Level;第 3 層次的構裝,則指將數個電路板組合於一主機板(Mother Board)上,稱為 Card Level;第 4 層次的構裝,則為將數個主機板組合成為電子產品,稱為 Gate Level;近期亦有第 5 層次的構裝,是指將將數個電子產

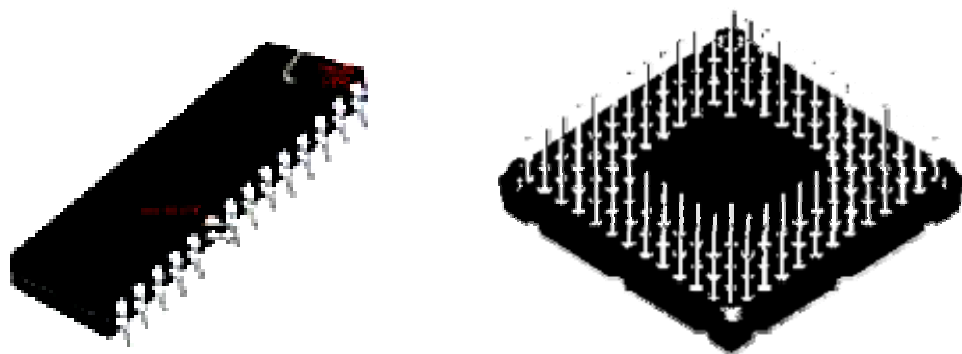
品透過網路組合起來，稱為 Network Level。另外，將 IC 晶片直接固定在 PCB 上的 Chip on Board 技術，分類為第 1.5 層次的構裝。



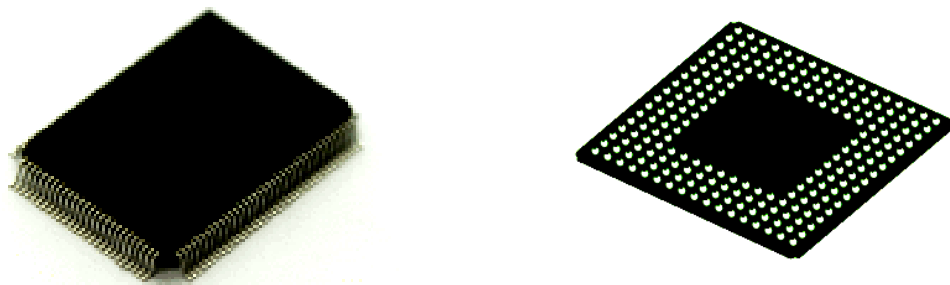
圖一 電子構裝技術層次示意圖

依構裝體內的 IC 晶片數量，電子構裝區分為單晶片構裝(Single Chip Packages)與多晶片構裝(Multichip Packages)兩類。又依密封的材料，區分成塑膠構裝(Plastic Packages)與陶瓷構裝(Ceramic Packages)兩類。其中陶瓷構裝的熱傳導性質優良，而塑膠構裝具有低成本、薄型化的優勢，隨著製程技術與材料的進步，塑膠構裝為目前市場的主流。

依構裝體與 PCB 電路板接合方式，電子構裝區分為引腳插入型(Pin Through Hole, PTH)與表面黏著型(Surface Mount Technology, SMT)兩大類。PTH 方式是指導線架引腳為細針形或薄板狀金屬，插入電路板的導孔或腳座後銲接固定，如圖二所示；SMT 方式則是將引腳或錫球黏著於電路板上後再銲接固定，如圖三所示。



圖二 引腳插入型構裝(a)Dual In-line Package (b)Pin Grid Array



圖三 表面黏著型構裝(a)Quad Flat Package(QFP) (b)Ball Grid Array(BGA)

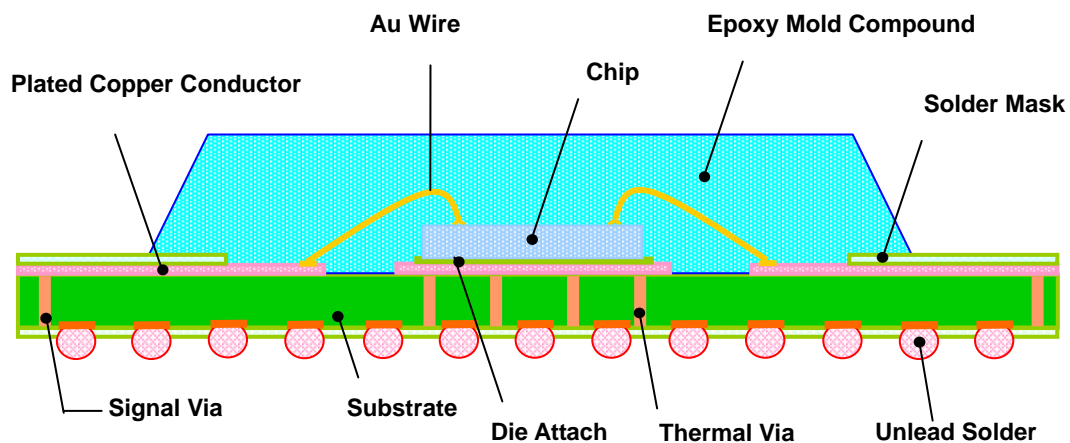
二、電子構裝結構分析

一般人在選購房子時，希望房間要採光亮、通風好、結構強、消防佳等，建築師通常會在設計階段作結構分析，以確保其安全性。電子構裝就像蓋一間房子給 IC 住一樣，雖然是密封，但也要散熱通風、防火耐燃、以及保護支撐等，工程師也通常在設計階段作結構分析，以確保其可靠度(Reliability)。

電子構裝的可靠度，主要是探討其故障機制(Failure Mechanism)，大致上分為下列三種：(1)熱機械故障，這是由於溫度增加造成構裝內部材料，因彼此間熱膨脹係數不同產生熱變形與熱應力，最常見的熱機械故障是斷裂，斷裂會導致晶片龜裂、基板分離、填充物龜裂、鉚錫點疲勞。斷裂的機制有脆性斷裂及延性斷裂。(2)化學故障，這包含了化學腐蝕與介金屬擴散，當金屬與水氣或酸接觸會產生腐蝕。高分子材料本身就會吸濕，而且與金屬間不能完全密合，空氣的溼氣會擴散或以毛細作用傳入構裝體內，造成金屬及鉚線的腐蝕，殘餘溼氣在高溫作用會造成爆米花效應。此外，兩種不同金屬之間擴散，形成介金屬化合物(Inter-Metallic Compound, IMC)，造成金屬的脆化並且減弱其降伏應力，如鉚錫點破裂。(3)電氣故障，包含電遷移與靜電放電，因 IC 晶片內電流密度高，電子在鋁線移動將鋁原子擠出，稱為電遷移，造成導體線路電流不連續形成開路故障，與相鄰導體街形成短路故障。靜電放電是指外界如人體或儀器設備的正電荷經過放電途徑，瞬間大量的電位進入 IC 晶片，造成電子元件故障。

電子構裝的結構分析，簡單的說是要預估結構體在承受某種負載(溫度、濕度、壓力、電氣或是瞬間的外力作用)下的反應情形，計算結構體內部應力分佈與變形量，或是算出結構體震動的固有頻率，或是找出結構體熱源所在以及散熱途徑等等，用來分析結構體的故障機制，提升電子構裝的可靠度。因此，電子構裝的結構分析所需技術知識範圍，包含了固體力學(彈性、塑性、振動、光彈)、熱機力學(熱傳學、材料力學)、破壞力學、材料科學等，相當廣闊。任何新的電子產

品的研發，都需要在形狀、尺寸、材料、負荷、可靠與價格上作反覆的結構分析。此外，電子產品在不能達到預期的功能或故障時，必須作多項的結構分析，以正確指出失效的原因，同時驗證其量測值。不論是新創或是改良，工程師首先必須對整體結構有所瞭解；其次必須對結構體內的每一元件，分析其所受的負載，並運用這些力學學理求解。一旦確定後，工程師會依照結構體所需的強度及各材料的機械性質，來選擇適當之尺寸。”構裝”一詞中，隱含了”結構分析”的意義，因此，將「IC 封裝」更名為「電子構裝」，在學術界上有其意義存在。



圖四 PBGA(Plastic Ball Grid Array)構裝結構示意圖

一個典型的半導體構裝 PBGA 結構的示意圖，如圖四所示。此構裝材料使用了環氧樹脂封膠 (Epoxy Mold Compound)、晶片(Chip)、晶片接合劑(Die Attach)、金線(Au Wire)、基板(Substrate)、綠漆(Solder Mask)、導通孔(Via)、鉛錫(Solder)。在封裝過程中，因為反覆進行加熱、冷卻，造成各材料因熱膨脹係數不同，在界面產生熱應力而導致變形、裂縫、破壞。因為環保意識抬頭，綠色構裝(green package)需要無鉛成份的鉛錫、沒有鹵素族溴成分的環氧樹脂封膠等，材料的改變會改變製程，其可靠度也跟著會改變，需要更多的測試與結構分析來驗證。瞭解電子構裝不同材料，如金線、銅箔、銀膏、鉛錫、矽晶片、環氧樹脂封膠、基板、晶片接合劑、綠漆的材料特性，對於結構分析有很大的助益。

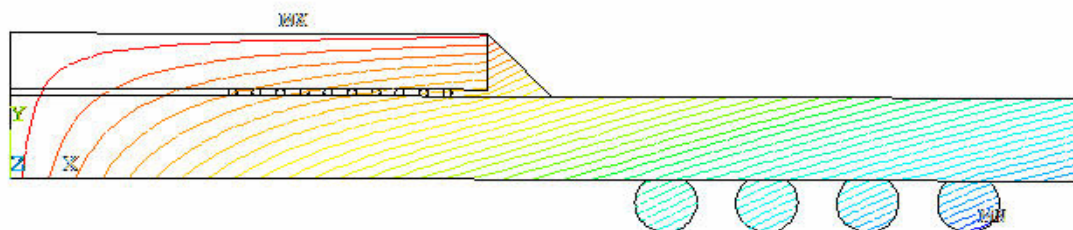
絕大多數 IC 晶片的面積都小於 2cm^2 ，其上卻製造了數百萬個到數億個電晶體等電子元件，這些元件或線路已經小到 90nm 到 $0.5\mu\text{m}$ ，結構上極為脆弱，即使是微小的微粒粉塵或濕氣，都可能使 IC 晶片短路或斷路而故障。正確的溫度分佈與散熱的設計，是電子構裝結構分析的首要方針。造成電子構裝失效的各項因素中，溫度所造成的故障約 55%，若再加上濕度的影響，電子構裝失效率達到 74%。由於溫度的影響，元件的化學性質及物理結構等，均會產生變化，事實上，此種變化會隨著溫度的升高而加速。為了確保 IC 晶片的可靠操作，晶片本身的熱量所造成的溫升、以及其它熱源傳遞至晶片引起之溫升，必須被適當的排散，以維

持晶片的操作溫度在容許的範圍內。

由於有限元素分析 (Finite Element Analysis, FEA) 已廣泛使用在工程上的結構分析與熱分析上，並普遍被學術與產業研發所接受。在電子構裝結構分析上，多重物理耦合(Multi-physics)之 FEA 套裝軟體被使用最為廣泛。FEA 模擬預測要精準，必須結構體內部全部材料要有正確的機械、熱、電氣性質以及適當的邊界條件的設定，如牽涉到非線性求解，更需要有一個合適求解器(Solver)及解題順序。因篇幅關係，僅就電子構裝結構分析的部份 FEA 模擬預測結果作一示範說明：

(一)熱引發變形(Thermal-induced displacement)

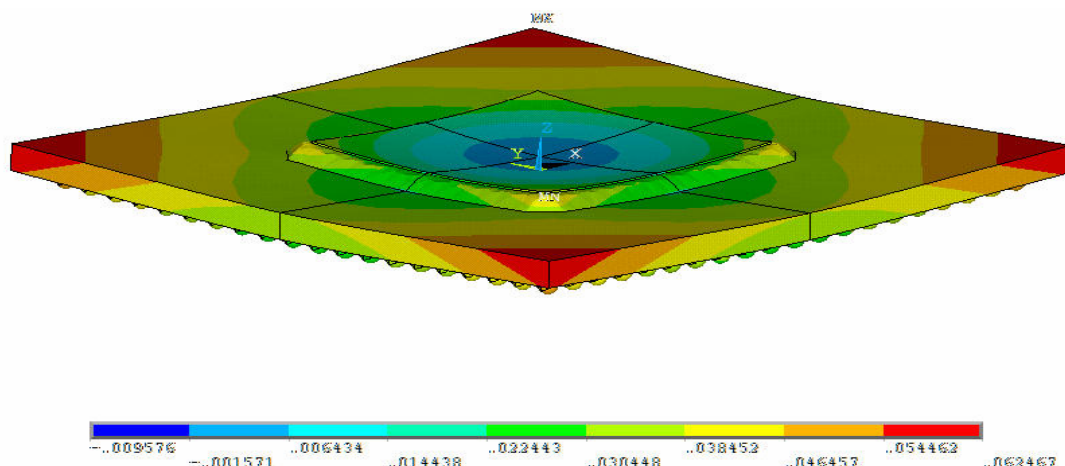
圖五顯示 flip chip BGA(FCBGA)結構體的示意圖，受熱後所產生的內部變形 (in-plane displacement)與 Moiré Interferometry 雲紋干涉實驗結果，以及熱翹曲 (thermal-induced warpage)預測。FEA 預測結果與 Moiré 實驗量測值的誤差不到 0.3%，顯示 FEA 預測非常精確。



圖五(a) FEA 預測水平方向變形量(100°C 降溫到 25°C)



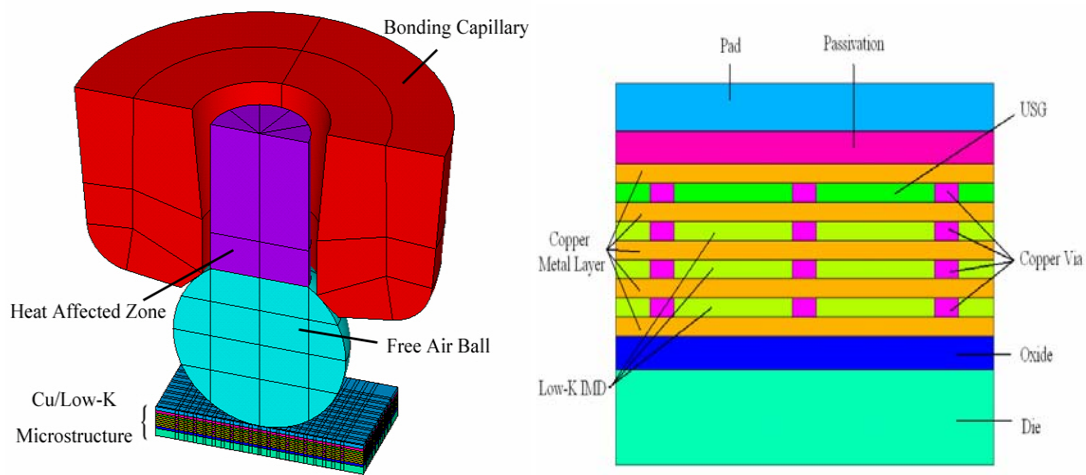
圖五(b) Moiré 雲紋干涉實驗量測水平方向變形量(100°C 降溫到 25°C)



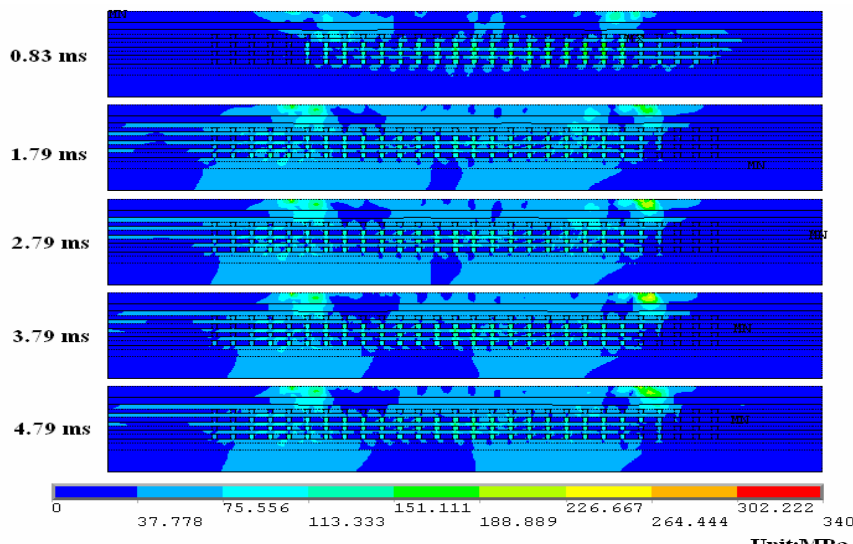
圖五(c) FEA 預測翹曲(warpage)變形量(25°C 加溫到 250°C)

(二) 鐳線製程第一鐳點模擬(Cu/low-K underlay microstructure dynamic response)

鐳線(wire bonding)製程中，第一鐳點(first bond)的製程相當複雜，製程上的參數 bond force、bond speed、超音波 USG 的 bond power 需要轉換成 FEA 的相關邊界條件，製程溫度與鐳線上 FAB 及 HAZ 區域的機械性質要能反應到金線的材料性質上，更重要的是 FEA 模式要能模擬動態接觸大變形的非線性行爲。在此結構分析下，亦能正確的預測 bond pad 底下 Cu/low-k 微結構的應力波傳遞及破壞機制。而黃金價格飆漲，鐳線以銅線取代金線，也是未來電子構裝技術發展趨勢之一。銅線的應變硬化在 FEA 模式中又必須充分的考慮進去。



圖六(a)鐳線製程第一鐳點 3 維 FEA 模型 (b)Cu/low-K 微結構示意圖

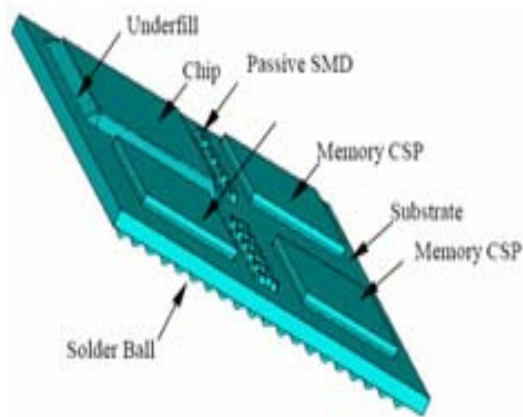


圖六(c) 預測熱超音波製程的 Cu/low-K 微結構等效應力

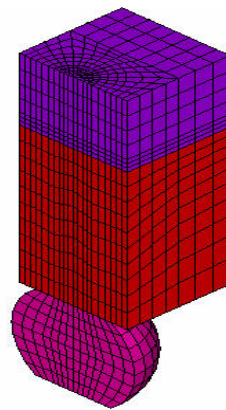
(三) 系統級封裝鐳錫之溫度循環測試(Thermal cycle test for System-in-Package)

在綠色構裝需求無鉛鐳錫，目前業界大多以錫銀銅(Sn-Ag-Cu, SAC)合金來製作各式 BGA 的錫球，提供第二層次構裝上板(board level)的表面黏著。因為 SAC

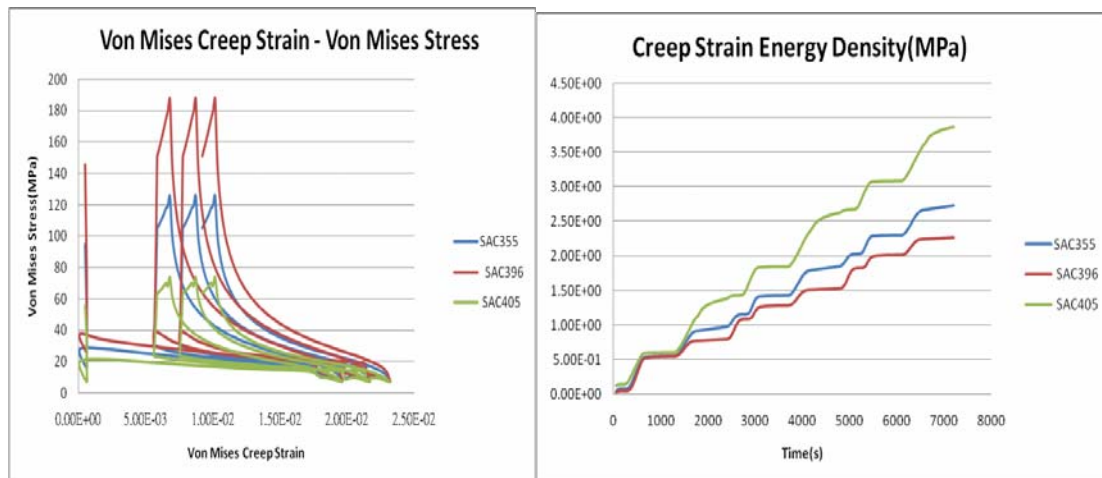
各合金材料比例不同，其機械性質不同，而銅的活性高易擴散，生成介金屬化合物，使結構變脆。當進行溫度循環測試，從 -40°C 到 125°C ，包含加溫、持溫、降溫、持溫，溫度往復的變化使結構受到往復的壓縮、膨脹，SAC 鉛錫會產生疲勞破壞。而 SAC 鉛錫的熔點約 480K-520K 間，當工作溫度到其熔點一半時 240K-260K，SAC 鉛錫會有潛變(creep)發生。因此在結構分析，就要選擇具黏彈性行為的 FEA 元素，材料性質也必須反應潛變形為，而 3D 實體模型耗費太多電腦資源，因此使用 slide model，又利用聖維南原理，以子模型(sub-model)來作鉛錫點附近的應力應變分析。在疲勞壽命預測，不同模式需要 creep shear strain、creep von Mises stress-strain、以及 creep strain energy density 來代入不同模式。



圖七(a)系統級封裝 3 維 FEA 模型



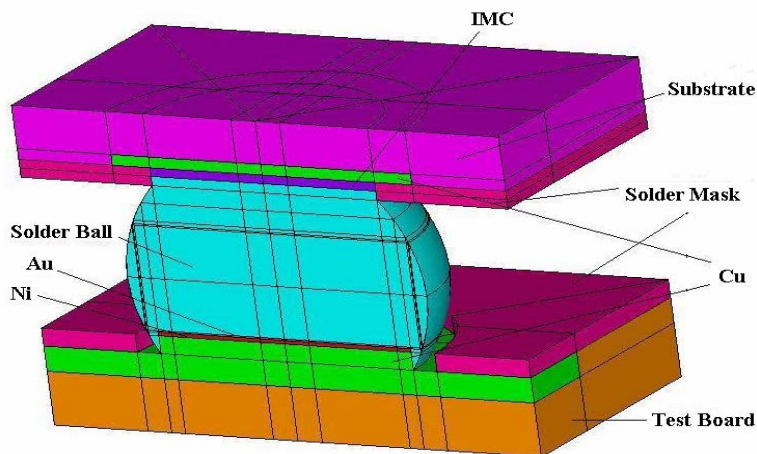
(b)鉛錫點子結構 FEA 模型



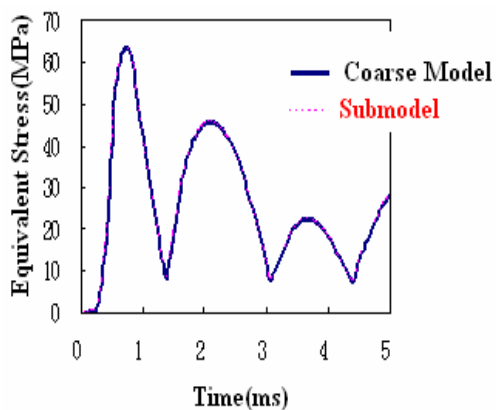
圖七(c)鉛錫點等效應變-等效應力圖 (d)鉛錫點子結構潛變應變能密度-時間圖

(四)系統級封裝鉛錫點掉落測試(Drop test using support excitation scheme)

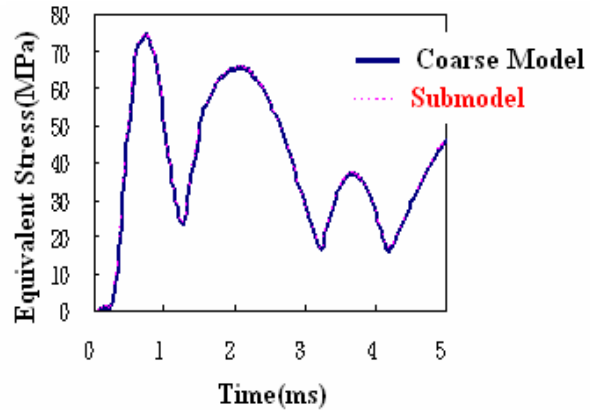
鉛錫點的另一個可靠度，就是上板後的電子產品要通過掉落測試(drop test)。在 JEDEC 掉落測試標準中加速度 G 值與 sin 波時間圖，必須反應到求解順序中。而邊界條件中，則運用 input D 及 support excitation 方式，進行掉落測試模擬。由於金屬擴散產生介金屬化合物，使結構變脆，各種材料的機械性質必須正確的反應。延性破壞與脆性斷裂準則(criteria)用在不同的結構與材料，破壞位置亦是研究重點之一。SAC 錫球合金的比例、各結構的尺寸，用來作最佳化的設計。



圖八(a)系統級封裝鉅錫點 3 維子結構 FEA 模型



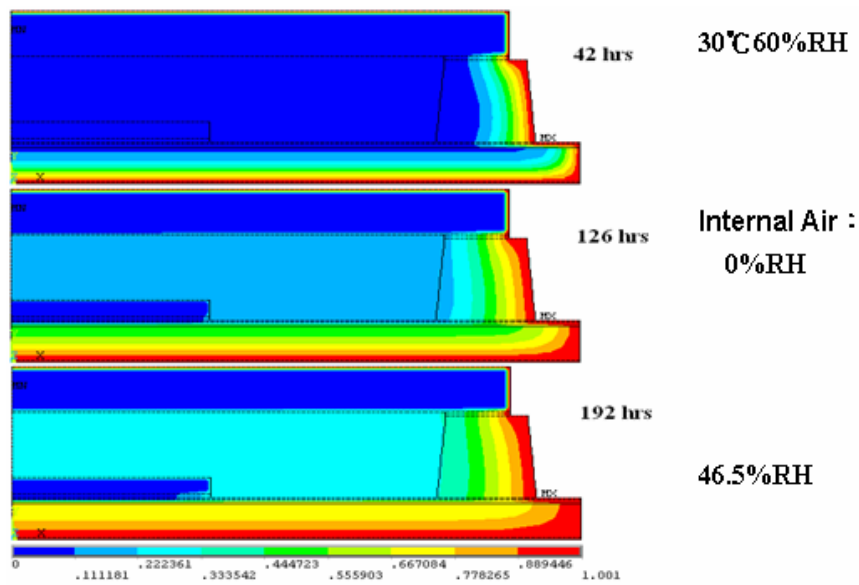
圖八(b)鉅錫點上方等效應力-時間圖



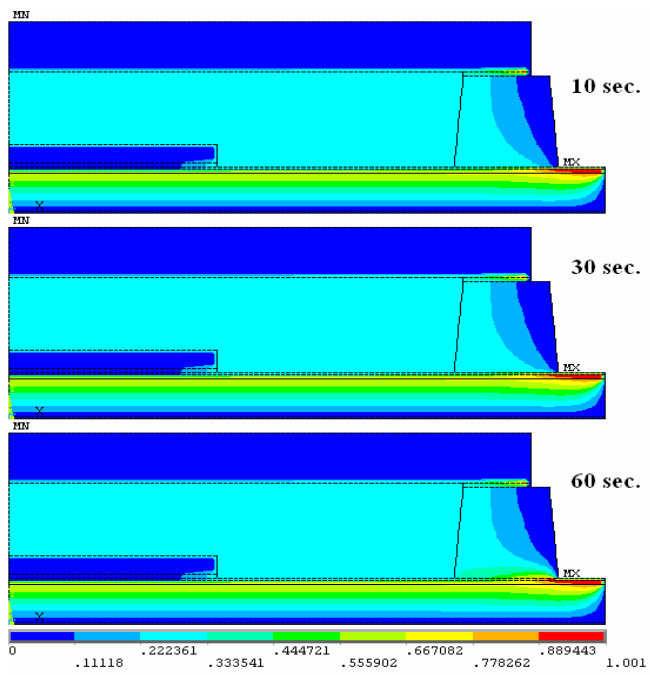
(c)鉅錫點下方等效應力-時間圖

(四)CMOS 影像感測器熱-濕-固耦合(Thermo-hygro-mechanical effects for CIS)

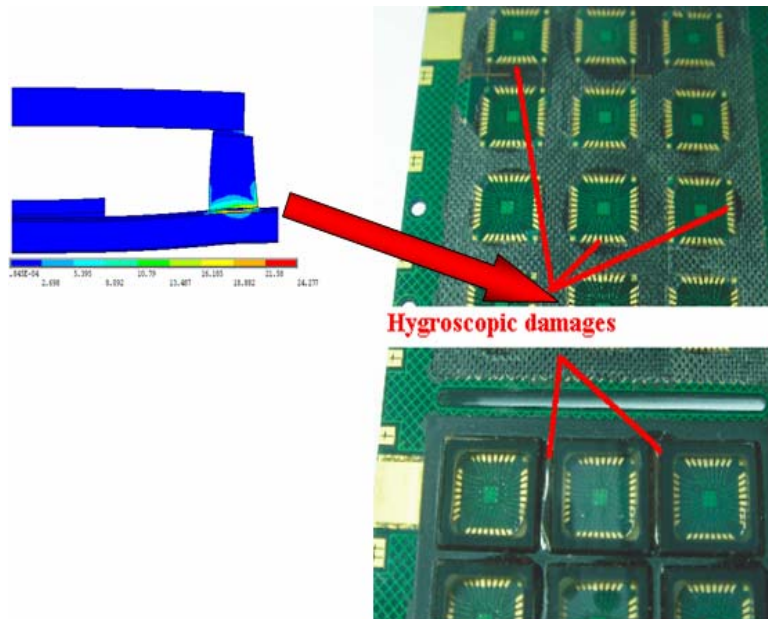
濕度所引發的電子構裝可靠度問題，除了材料的濕氣(moisture)性質，與濕氣擴散係數(moisture diffusivity)不容易求得外，吸濕膨脹係數(coefficient of moisture expansion)也很難直接量測出來。在以往，工程師經常直接以烘烤來去濕，而 FEA 軟體並不能直接模擬濕氣分佈與預測吸濕膨脹所產生的應力。由於濕氣擴散原理與熱傳導的熱傳播原理一樣，運用費肯第二擴散原理(Fick's second diffusion law)，推導出飽和吸濕係數、擴散係數、吸濕重量之間的關係式；在 IR-Reflow 過程中以 Arrhenius 方程式找到其活化能、擴散係數(此時，擴散係數會與溫度相依)；在吸濕膨脹所產生的應變，會等於殘餘濕度與吸濕膨脹係數之乘積。在 FEA 吸濕模擬中，密度(density) 設定為 1、熱傳導係數設為擴散係數乘以飽和吸濕係數、比熱設為飽和吸濕係數，結構體外部邊界的濕度全部設定成 1 與內部全部設為 0，並進行瞬態非線性分析，所得的場變量即為濕度(wetness)。其次，進行 IR-Reflow 去濕過程的模擬，要注意的是，要將結構體全部邊界設定為 0。最後將殘餘的濕氣與吸濕膨脹係數，以及因溫度增加所產生的熱變形，共同代入熱-濕-固耦合結構分析，得到構裝整體的應力分佈。



圖九(a)QFN CMOS 影像感測器吸濕 192 小時(30°C60%)



圖九(b)QFN CMOS 影像感測器去濕 60 秒(30°C60%)



圖九(c)QFN CMOS 影像感測器熱-濕-結構偶合分析與基板失效圖

三、結論

電子產品的趨勢是輕薄短小，IC 晶片也跟隨著朝向高密度電子電路與多 IO 腳數發展。從過去的歷程來看，要開發新產品，電子構裝需要新技術、新製程、新材料的配合，還要有新機台的改善。在開發流程上，大多以 FEA 模擬來預測構裝結構體在各種環境的可靠度來進行設計或改良，再配合參數設計，以測試實驗數據驗證。無論電子產品如何創新，結構體如何變化，材料如何更新，在進行結構分析時，所需要的力學學理，並沒有太大的改變。當前的 3D IC 的 TSV(Through Silicon Via)技術，其結構迥異於之前的 IC 封裝結構，發展潛力無窮，但如果 IC 晶片運作所產生的熱量沒有辦法適當的排除，電子構裝不能解決 IC 晶片的廢熱問題，新開發的 TSV 就完全沒有商業市場，由此可見電子構裝技術的重要性。本文只是大致提到電子構裝的結構分析的一些基本概念，並未涉入到諸多力學學理，拋磚引玉，期待國內電子構裝先進更多深入的介紹，讓國內更多的學生、工程師投入電子構裝的研發領域。